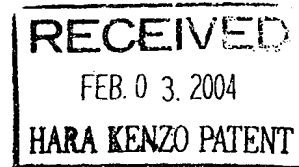


拒絶理由通知書

特許出願の番号 特願2000-087408  
起案日 平成16年 1月26日  
特許庁審査官 右田 昌士  
特許出願人代理人 原 謙三 様  
適用条文 第29条第2項



9513 2X00

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覽参照)

請求項1 引例1-3

請求項2-4 引例1-5

備考

請求項1について

引例2に開示されている、半導体層-金属層の積層をTF T部と容量部との両方に設ける製法、及び、引例3に開示されている、半導体層まで達するスルーホールを設ける製法を引例1において採用し、請求項1に係る発明とすることは、当業者にとって容易である。

請求項2-4について

引例4に記載されている端子部の保護膜を除去する製法、及び、引例5に記載されている保護膜上に平坦化膜を設ける製法を引例1において採用し、請求項2-4に係る発明とすることは、当業者にとって格別に困難なこととは言えない。

引用文献等一覽

引例1：特開平11-109406号公報

引例2：特開平6-208137号公報



引例 3：特開平 4-257229 号公報

引例4：特開平6-102528号公報

引例 5：特開平 1 0－6 8 9 7 1 号公報

なお、この拒絶理由に不明な点がある場合、又は、この案件について面接を希望する場合は、特許審査第1部光デバイス(光制御) 右田(特許庁内線3293)までご連絡下さい。

## 先行技術文献調査結果の記録

## 先行技術文献調査結果の記録

・調査した分野      I P C第7版    G02F1／1362  
                                G02F1／1343  
                                G02F1／1333  
                                G02F1／1345  
                                G02F1／13     ,   101

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-102528

(43)Date of publication of application : 15.04.1994

(51)Int.Cl.

G02F 1/136  
H01L 29/784

(21)Application number : 04-248454

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.09.1992

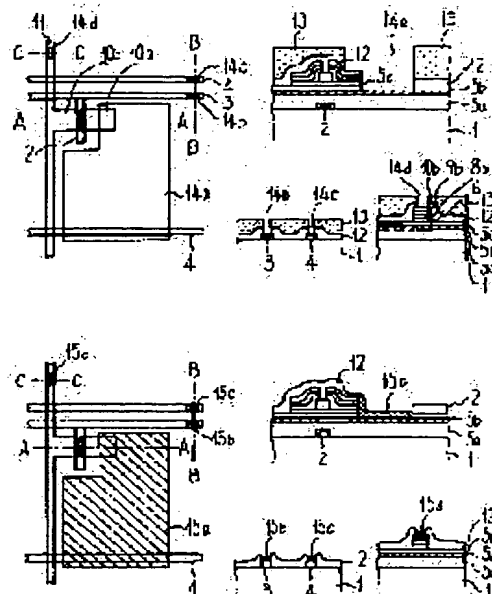
(72)Inventor : HOSHINO ATSUYUKI

## (54) PRODUCTION OF THIN-FILM TRANSISTOR MATRIX

### (57)Abstract:

**PURPOSE:** To lead out the terminals of bus lines with one time of photolithography stage in the process for production of a thin-film transistor matrix.

**CONSTITUTION:** This process for production is so constituted as to have a stage for forming gate electrodes 2 and gate bus lines 3 connected thereto on a transparent insulating substrate 1, a stage for forming gate insulating films 5a, 5b, 5c of a multilayered structure including the insulating film serving as an etching stop layer at the time of etching a protective film in regions exclusive of the ends of the gate bus lines 3, a stage for forming the protective film 12 over the entire surface after the element formation and forming a mask 13 having apertures 14a to 14d in pixel electrode forming regions, the ends of the gate bus lines and the ends of drain bus lines on the protective film 12 and a stage for depositing a transparent conductive film over the entire surface after removal of the protective film 12 by etching from the aperture and forming the pixel electrodes 15a to be connected to source electrodes 10a, gate bus line contact parts 15b and drain bus line contact parts 15d.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

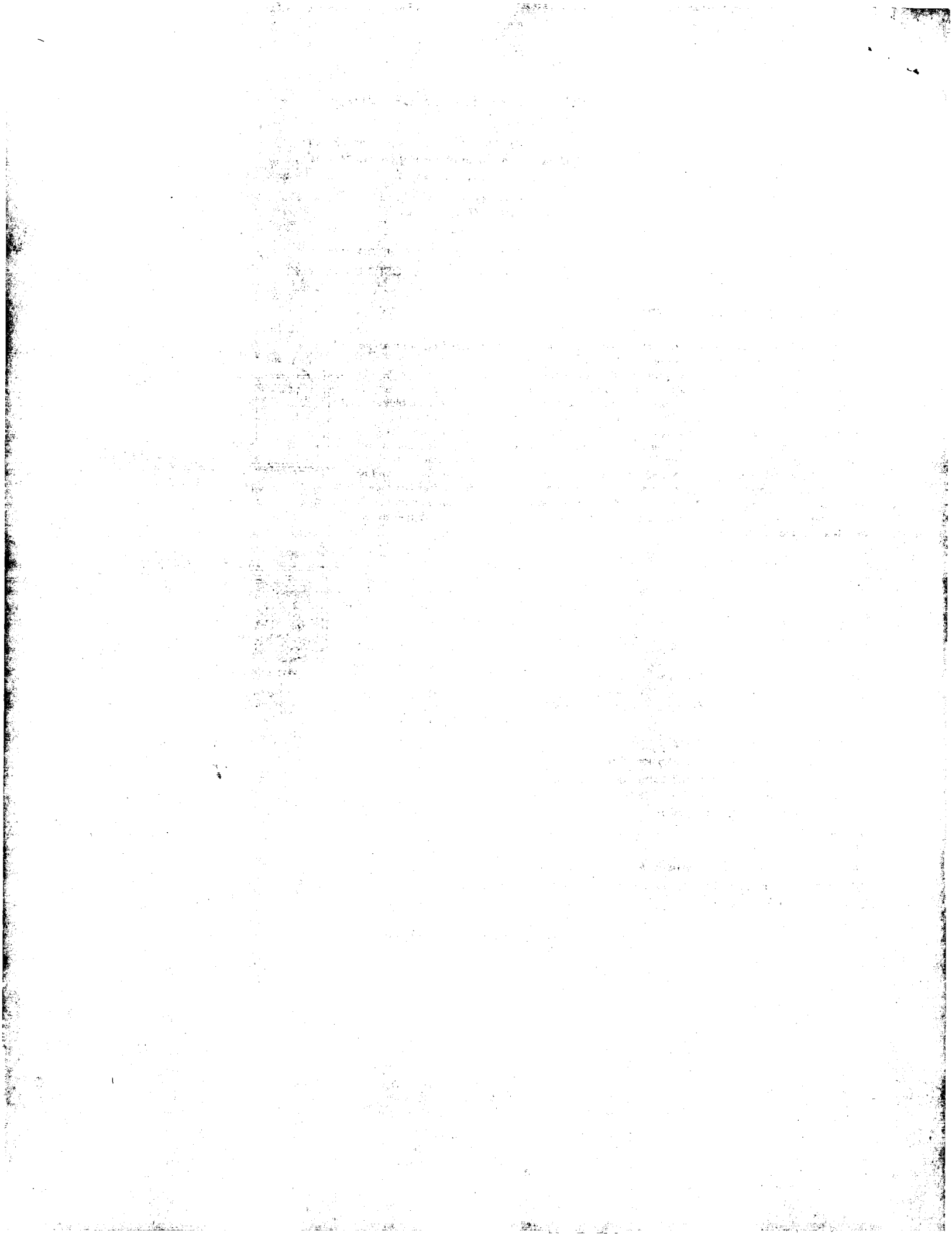
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-102528

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.<sup>5</sup>

G 0 2 F 1/136

H 0 1 L 29/784

識別記号

5 0 0

庁内整理番号

9018-2K

9056-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 A

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平4-248454

(22)出願日 平成4年(1992)9月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 星野 淳之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

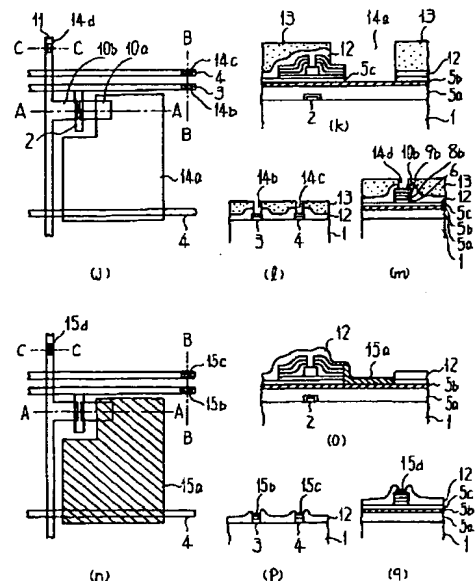
(54)【発明の名称】 薄膜トランジスタマトリックスの製造方法

(57)【要約】

【目的】 薄膜トランジスタマトリックスの製造方法に関し、バスラインの端子出しを1回のフォトリソグラフィ工程で行う方法の提供を目的とする。

【構成】 透明絶縁性基板1上にゲート電極2とそれに接続するゲートバスライン3を形成する工程と、保護膜エッチングの際エッチングストップ層となる絶縁膜を最上層または中間層とする多層構造のゲート絶縁膜5a、5b、5cをゲートバスライン3端部を除く領域に形成する工程と、素子形成を行った後、全面に保護膜12を形成し、保護膜12上に画素電極形成領域、ゲートバスライン端部及びドレインバスライン端部に開孔を有するマスク13を形成する工程と、開孔から保護膜12をエッチングして除去した後、全面に透明導電膜を堆積してソース電極に接続する画素電極15a、ゲートバスラインコンタクト部15b、ドレインバスラインコンタクト部15dを形成する工程を有するように構成する。

第1の実施例を示す工程順平面図と断面図(その2)



## 【特許請求の範囲】

【請求項1】 透明絶縁性基板(1)上に形成され、マトリックス状に配置された薄膜トランジスタと、該薄膜トランジスタのゲート電極(2)に接続するゲートバスライン(3)と、ドレイン電極(10b)に接続するドレインバスライン(11)と、ソース電極(10a)に接続する画素電極(15a)と、該画素電極(15a)と絶縁膜(5a, 5b)を介して対向する補助容量バスライン(4)を有し、該薄膜トランジスタは透明絶縁性基板(1)上にゲート電極(2)、ゲート絶縁膜(5a, 5b, 5c)、動作半導体膜(6)、ソース・ドレイン電極(10a, 10b)が順に積層され、該ゲートバスライン(3)と該ドレインバスライン(11)は絶縁膜(5a, 5b, 5c)を介して交差する薄膜トランジスタマトリックスの製造において、透明絶縁性基板(1)上にゲート電極(2)とそれに接続するゲートバスライン(3)を形成する工程と、保護膜エッチングの際エッチングストップ層となる絶縁膜を最上層または中間層とする多層構造のゲート絶縁膜(5a, 5b, 5c)を該ゲートバスライン(3)端部を除く領域に形成する工程と、該ゲート絶縁膜(5a, 5b, 5c)上に動作半導体膜(6)、ソース電極(10a)、ドレイン電極(10b)及び該ドレイン電極(10b)に接続するドレインバスライン(11)を形成する工程と、全面に保護膜(12)を形成した後、該保護膜(12)上に画素電極形成領域、ゲートバスライン(3)端部、ドレインバスライン(11)端部に開孔を有するマスク(13)を形成する工程と、該開孔から該保護膜(12)をエッチングして除去した後、全面に透明導電膜を堆積してソース電極(10a)に接続する画素電極(15a)、ゲートバスラインコンタクト部(15b)、ドレインバスラインコンタクト部(15d)を形成し、その後、マスク(13)上の透明導電膜を該マスク(13)とともに除去する工程を有することを特徴とする薄膜トランジスタマトリックスの製造方法。

【請求項2】 前記ゲート絶縁膜のエッチングストップ層(5b)を酸化シリコン膜とし、前記保護膜(12)を窒化シリコン膜とすることを特徴とする請求項1記載の薄膜トランジスタマトリックスの製造方法。

【請求項3】 透明絶縁性基板(1)上に形成され、マトリックス状に配置された薄膜トランジスタと、該薄膜トランジスタのゲート電極(2)に接続するゲートバスライン(3)と、ドレイン電極(18b)に接続するドレインバスライン(19)と、ソース電極(18a)に接続する画素電極(21)を有し、該薄膜トランジスタは透明絶縁性基板(1)上にゲート電極(2)、ゲート絶縁膜(5)、動作半導体膜(6)、ソース・ドレイン電極(18a, 18b)が順に積層され、該ゲートバスライン(3)と該ドレインバスライン(19)は絶縁膜(5)を介して交差する薄膜トランジスタマトリックスの製造において、透明絶縁性基板(1)上にゲート電極(2)とそれに接続するゲートバスライン(3)を形成する工程と、該ゲートバスライン(3)端部を覆う樹脂膜(20)を形成した後、全面にゲート絶縁膜(5)を形成す

る工程と、薄膜トランジスタのソース電極(18a)、ドレイン電極(18b)、及び該ソース電極(18a)に接続する画素電極(21)を形成した後、全面に保護膜(12)を形成する工程と、該ゲートバスライン(3)端部に開孔を有するマスク(22)を形成する工程と、該開孔から該保護膜(12)及び該ゲート絶縁膜(5)をエッチング除去し、つづいて該樹脂膜(20)をエッチング除去することによりゲートバスライン(3)端部を露出する工程とを有することを特徴とする薄膜トランジスタマトリックスの製造方法。

## 10 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は薄膜トランジスタ(以下、TFTと称する)マトリックスの製造方法に関する。

【0002】近年、アクティブマトリックス駆動方式の液晶ディスプレイやエレクトロルミネッセンスパネルが使用されるようになった。アクティブマトリックスとして薄膜トランジスタマトリックスが使用されている。

【0003】液晶表示ディスプレイは、表示画面に欠陥発生しないものが求められており、そのため、欠陥が発生しにくい構造及び製造方法が強く要望されている。さらに、工数の削減が要望されている。

## 【0004】

【従来の技術】アクティブマトリックス駆動方式の液晶ディスプレイは、ドット表示を行う個々の画素に対応してマトリックス状にTFTを配設することにより、各画素にメモリ機能を持たせて、コントラスト良く多ラインの表示を可能としている。

【0005】このような液晶ディスプレイは、多数のゲートバスライン、ドレインバスライン、補助容量バスラインを、X方向及びY方向に向けて配設し、これら各バスラインに駆動電圧を順次印加して、各バスライン交差部付近に配置したTFTを選択駆動することにより、所望の画素をドット表示するように構成している。

【0006】図5(a)～(c)はTFTマトリックスの平面略図と断面図であり、(a)は平面略図、(b)はA-A断面図、(c)はB-B断面図を示し、1はガラス基板、2はゲート電極、3はゲートバスライン、4は補助容量バスライン、5はゲート絶縁膜、6は動作半導体膜、7はチャネル保護膜、8a, 8bはコンタクト層、9aはソース電極、9bはドレイン電極、12は保護膜、16はTFT、17はドレインバスライン、21は画素電極を表す。

【0007】製造プロセスの概略は次の如くである。ガラス基板1上に例えばAl膜とTi膜を連続成膜し、マスクを用いてそれをエッチングしてゲートバスライン3及び補助容量バスライン4を形成する。次に、Ti膜を成膜し、マスクを用いてそれをエッチングしてゲートバスライン3に接続するゲート電極2を形成する。

【0008】次に、ゲート絶縁膜5として例えばSiN膜、動作半導体膜6として、例えばa-Si膜、チャネ



ル保護膜7として例えばSiN膜を、例えばプラズマCVD法により連続成膜する。

【0009】マスクを用いてチャネル保護膜7をエッチングし、ゲート電極2上にチャネル保護膜7を残す。全面にコンタクト層8a、8bとなる例えばn<sup>+</sup>型a-Si膜、ソース電極9a及びドレイン電極9bとなるTi膜を順に成膜した後、マスクを用いてTi膜、コンタクト層、動作半導体膜をエッチングして素子分離を行う。

【0010】全面に例えばMo膜を成膜し、それをパターンニングしてドレイン電極9bに接続するドレインバスライン17を形成する。次に、画素電極材となるITOを成膜し、それをパターンニングしてソース電極9aに接続する画素電極21を形成する。画素電極21は補助容量バスライン4上に展延する。

【0011】次に、ゲートバスライン3、補助容量バスライン4の端部のゲート絶縁膜5をエッチングして除去し、ゲートバスライン3、補助容量バスライン4の端部を露出する。

【0012】全面に保護膜12を形成した後、ゲートバスライン3、補助容量バスライン4の端部、ドレインバスライン17の端部に開孔を有するレジストマスクを形成し、そのレジストマスクをマスクにして保護膜12をエッチングして除去し、端子出しを行う。

【0013】このようにしてTFTマトリックスが完成するが、従来、次のような問題が存在していた。

① ゲートバスライン3の端子出しをするために、ゲート絶縁膜5のフォトリソグラフィ工程と保護膜12のフォトリソグラフィ工程の2回のフォトリソグラフィ工程を必要とする。

【0014】②画素電極材となるITOを成膜し、それをエッチングしてパターンニングする際、エッチング残渣を生じ、短絡の原因となる。

③ゲートバスライン3の端子出しをする時、下地のゲート電極はエッチングされないように、ゲート電極材料が制限される。

【0015】

【発明が解決しようとする課題】本発明は上記の問題に鑑み、ゲートバスライン3の端子出しをするために、1回のフォトリソグラフィ工程で済ますことにより、工程を簡略にする方法を提供するものである。また、画素電極の形成とバスライン端部のコンタクト部形成を同時に行い、短絡などの生じない方法を提供するものである。また、ゲート電極の材料が制限を受けないエッチング方法を提供するものである。

【0016】

【課題を解決するための手段】図1、図2は第1の実施例を示す工程順平面図と断面図（その1）、（その2）であり、図3、図4は第2の実施例を示す工程順平面図と断面図（その1）、（その2）である。

【0017】上記課題は、透明絶縁性基板1上に形成さ

れ、マトリックス状に配置された薄膜トランジスタと、該薄膜トランジスタのゲート電極2に接続するゲートバスライン3と、ドレイン電極10bに接続するドレインバスライン11と、ソース電極10aに接続する画素電極15aと、該画素電極15aと絶縁膜5a、5bを介して対向する補助容量バスライン4を有し、該薄膜トランジスタは透明絶縁性基板1上にゲート電極2、ゲート絶縁膜5a、5b、5c、動作半導体膜6、ソース・ドレイン電極10a、10bが順に積層され、該ゲートバスライン3と該ドレインバスライン11は絶縁膜5a、5b、5cを介して交差する薄膜トランジスタマトリックスの製造において、透明絶縁性基板1上にゲート電極2とそれに接続するゲートバスライン3を形成する工程と、保護膜エッチングの際エッチングストップ層となる絶縁膜を最上層または中間層とする多層構造のゲート絶縁膜5a、5b、5cを該ゲートバスライン3端部を除く領域に形成する工程と、該ゲート絶縁膜5a、5b、5c上に動作半導体膜6、ソース電極10a、ドレイン電極10b及び該ドレイン電極10bに接続するドレインバスライン11を形成する工程と、全面に保護膜12を形成した後、該保護膜12上に画素電極形成領域、ゲートバスライン3端部、ドレインバスライン11端部に開孔を有するマスク13を形成する工程と、該開孔から該保護膜12をエッチングして除去した後、全面に透明導電膜を堆積してソース電極10aに接続する画素電極15a、ゲートバスラインコンタクト部15b、ドレインバスラインコンタクト部15dを形成し、その後マスク13上の透明導電膜を該マスク13とともに除去する工程を有する薄膜トランジスタマトリックスの製造方法によって解決される。

【0018】また、前記ゲート絶縁膜のエッチングストップ層5bを酸化シリコン膜とし、前記保護膜12を窒化シリコン膜とする前記の薄膜トランジスタマトリックスの製造方法によって解決される。

【0019】また、透明絶縁性基板1上に形成され、マトリックス状に配置された薄膜トランジスタと、該薄膜トランジスタのゲート電極2に接続するゲートバスライン3と、ドレイン電極18bに接続するドレインバスライン19と、ソース電極18aに接続する画素電極21を有し、該薄膜トランジスタは透明絶縁性基板1上にゲート電極2、ゲート絶縁膜5、動作半導体膜6、ソース・ドレイン電極18a、18bが順に積層され、該ゲートバスライン3と該ドレインバスライン19は絶縁膜5を介して交差する薄膜トランジスタマトリックスの製造において、透明絶縁性基板1上にゲート電極2とそれに接続するゲートバスライン3を形成する工程と、該ゲートバスライン3端部を覆う樹脂膜20を形成した後、全面にゲート絶縁膜5を形成する工程と、薄膜トランジスタのソース電極18a、ドレイン電極18b、及び該ソース電極18aに接続する画素電極21を形成した後、全面に保護膜12を形成する工程と、該ゲートバスライン3端部に開孔を有するマスク22を形成する工程と、該開孔から該保護膜12及び該ゲ

ート絶縁膜5をエッチング除去し、つづいて該樹脂膜20をエッチング除去することによりゲートバスライン3端部を露出する工程とを有する薄膜トランジスタマトリックスの製造方法によって解決される。

#### 【0020】

【作用】本発明では、保護膜エッチングの際エッチングストップ層となる絶縁膜を最上層または中間層とする多層構造のゲート絶縁膜5a, 5b, 5cをゲートバスライン3端部を除く領域に形成している。そのため、画素電極形成領域の保護膜をエッチングする際、ゲート絶縁膜が過度にエッチングされることがなく、画素電極と補助容量バスライン間に形成される補助容量を正確に抑えることができる。

【0021】画素電極15aはリフトオフ法により形成されるから、エッチング残渣の生じることがない。この時、保護膜12上に画素電極形成領域、ゲートバスライン3端部、ドレインバスライン11端部に開孔を有するマスク13を形成することにより、画素電極15a、ゲートバスラインコンタクト部15b、ドレインバスラインコンタクト部15dを形成するのであるから、バスラインの端子出しは1回のリソグラフィ工程で済む。しかも、画素電極の形成と同時に進行することができるから、工数の削減となる。

【0022】また、ゲート絶縁膜のエッチングストップ層5bを酸化シリコン膜とし、保護膜12を窒化シリコン膜とすれば、エッチング選択比を大きくできる。また、透明絶縁性基板1上にゲート電極2とそれに接続するゲートバスライン3を形成した後、ゲートバスライン3端部を覆う樹脂膜20を形成するようにすれば、ゲートバスライン3端部の端子出しの際、樹脂膜20が保護膜及びゲート絶縁膜エッチングのエッチングストップ層となるから、ゲートバスラインの材料は制限を受けない。

#### 【0023】

【実施例】図1(a)～(i)は第1の実施例を示す工程順平面図と断面図(その1)で、a, d, gは平面図、b, e, hはA-A断面図、c, f, iはB-B断面図であり、図2(j)～(q)は第1の実施例を示す工程順平面図と断面図(その2)で、j, nは平面図、k, oはA-A断面図、l, pはB-B断面図、m, qはC-C断面図である。以下、これらの図を参照しながら、第1の実施例について説明する。

#### 【0024】図1(a)～(c) 参照

DCマグネトロンスパッタ装置を用い、洗浄等の表面処理を施したガラス基板1に厚さ100nmのAl膜3、4と厚さ50nmのTi膜3a, 4aを連続成膜し、燐酸と弗酸を含む混合液をエッチャントとしてレジスト膜(図示せず)をマスクにしてウェットエッチングを行い、ゲートバスライン3, 3a及び補助容量バスライン4, 4aを形成する。その後、レジスト膜を剥離し洗浄する。

【0025】次に、厚さ100nmのTi膜2を成膜し、B

C13 + C12 ガスをエッチャントとしてレジスト膜(図示せず)をマスクにしてRIEによりエッチングを行い、ゲートバスライン3, 3aに接続するゲート電極2を形成する。その後、レジスト膜を剥離し洗浄する。

【0026】次に、酸素及び窒素雰囲気中で、ガラス基板1を約300℃に加熱してプラズマをたてることにより、ゲート電極2の表面を酸化させ、厚さ約20nmのTiO<sub>2</sub>膜2aを形成する。

#### 【0027】図1(d)～(f) 参照

ゲートバスライン3, 3a端部及び補助容量バスライン4, 4a端部を覆う金属マスクを用いて、全面にプラズマCVD法により、ゲート絶縁膜5a, 5b, 5c、動作半導体膜6、チャネル保護膜7を連続成膜する。

【0028】第1層目のゲート絶縁膜5aは、例えば厚さ300nmのSiN膜、第2層目のゲート絶縁膜5bは、例えば厚さ50nmのSiO<sub>2</sub>膜、第3層目のゲート絶縁膜5cは、例えば厚さ50nmのSiN膜、動作半導体膜6は例えば厚さ15nmのa-Si膜、チャネル保護膜7は例えば厚さ140nmのSiN膜である。

【0029】上記SiN膜5a, 5c, 7は、SiH<sub>4</sub>とNH<sub>3</sub>の混合ガス雰囲気、SiO<sub>2</sub>膜5bはSiH<sub>4</sub>とN<sub>2</sub>Oの混合ガス雰囲気、a-Si膜6はSiH<sub>4</sub>のガス雰囲気で成膜する。

#### 【0030】図1(g)～(i) 参照

次に、ゲート電極2上のチャネル保護膜7上にレジスト膜(図示せず)のパターンを形成する。このパターンはゲート電極2の両側から約1μmづつ狭いパターンとなるようにする。

【0031】このレジスト膜をマスクにして弗化アンモニウム系のエッチング液でSiN膜7を選択的にエッチングし、チャネル保護膜7を形成する。その後、レジスト膜を剥離し洗浄する。

【0032】PH<sub>3</sub>をドーブしたSiH<sub>4</sub>の雰囲気中において、プラズマCVD法により例えば厚さが50nmのn<sup>+</sup>型a-Si膜8a, 8bを形成し、引き続きDCスパッタ法により、例えば厚さが50nmのTi膜9a, 9bと、例えば厚さが300nmのAl膜10a, 10bを形成する。

【0033】その後、ソース・ドレイン電極形成用のレジスト膜(図示せず)を形成し、それをマスクにしてBC13 + C12ガスをエッチャントとするRIEによりAl膜、Ti膜、n<sup>+</sup>型a-Si膜、a-Si膜6のエッチングを行い、コンタクト層8a, 8b、ソース電極9a, 10a及びドレイン電極9b, 10bを形成して素子分離を行うとともに、ドレイン電極10bに接続するドレインバスライン11を形成する。このようにしてTFTが形成されるが、次いで、レジストマスク30を剥離洗浄し、続いてTFT特性の保護膜として、SiN膜12を全面に形成する。

#### 【0034】図2(j)～(m) 参照

SiN膜12上に、画素電極形成領域、ゲートバスライン

3 端部、補助容量バスライン4 端部、ドレインバスライン11端部に開孔を有するレジストマスク13を形成し、それをマスクにして $CF_4 + O_2$ を用いるケミカルドライエッチング(CDE)により、SiN膜12をエッチングして画素電極形成領域に開孔14a、ゲートバスライン3端部に開孔14b、補助容量バスライン4 端部に開孔14c、ドレインバスライン11端部に開孔14dを形成する。

【0035】この時、画素電極形成領域ではゲート絶縁膜の最上層のSiN膜5cもエッチングされるが、その下のSiO<sub>2</sub>膜5bがエッチングストップ層として作用する。この時、SiO<sub>2</sub>に対するSiNのエッチング選択比は20以上である。したがって、第1層目のゲート絶縁膜であるSiN膜5aは完全に残る。

【0036】図2(n)～(q)参照

全面にスパッタ法により、例えば厚さ300nmのITO膜を成膜し、ソース電極10aに接続する画素電極15a、ゲートバスライン3端部に接続するコンタクト部15b、補助容量バスライン4 端部に接続するコンタクト部15c、ドレインバスライン11端部に接続するコンタクト部15dを形成したのち、レジストマスク13上のITO膜はリフトオフ法によりレジストマスク13とともに除去する。

【0037】このようにして、各バスラインの端子出しを画素電極の形成と同時に1回のフォトリソグラフィ工程により形成することができる。画素電極はリフトオフ法により形成されるので、エッチング法によるようなエッチング残渣はなく、短絡の生じる危険がない。

【0038】また、画素電極15aと補助容量バスライン4の間にゲート絶縁膜のSiN膜5aとSiO<sub>2</sub>膜5bが完全に残るので、補助容量は正確に定まる。なお、第1の実施例ではエッチングストップ層5bをゲート絶縁膜5a～5cの中間層として形成したが、ゲート絶縁膜の最上層として形成してもよい。

【0039】次に第2の実施例について説明する。図3(a)～(j)は第2の実施例を示す工程順平面図と断面図(その1)で、a, d, gは平面図、b, e, hはA-A断面図、c, f, iはB-B断面図、jはC-C断面図であり、図4(k)～(r)は第2の実施例を示す工程順平面図と断面図(その2)で、k, oは平面図、l, pはA-A断面図、m, qはB-B断面図、n, rはC-C断面図である。以下、これらの図を参照しながら、第2の実施例について説明する。

【0040】図3(a)～(c)参照

DCマグネトロンスパッタ装置を用い、洗浄等の表面処理を施したガラス基板1に厚さ100nmのAl膜3、4と厚さ50nmのTi膜3a、4aを連続成膜し、磷酸と弗酸を含む混合液をエッチャントとしてレジスト膜(図示せず)をマスクにしてウェットエッチングを行い、ゲートバスライン3、3a及び補助容量バスライン4、4aを形成する。その後、レジスト膜を剥離し洗浄する。

【0041】次に、厚さ100nmのTi膜2を成膜し、B

C13 + C12ガスをエッチャントとしてレジスト膜(図示せず)をマスクにしてRIEによりエッチングを行い、ゲート電極2を形成する。その後、レジスト膜を剥離し洗浄する。

【0042】次に、酸素及び窒素雰囲気中で、ガラス基板1を約300℃に加熱してプラズマをたてることにより、ゲート電極2の表面を酸化させ、厚さ約20nmのTiO<sub>2</sub>膜2aを形成する。ここまでの工程は、第1の実施例と同じである。

10 【0043】図3(d)～(f)参照

ゲートバスライン3、3a端部及び補助容量バスライン4、4a端部をポリイミド膜20で覆い、全面にプラズマCVD法により、ゲート絶縁膜5、動作半導体膜6、チャネル保護膜7を連続成膜する。ゲート絶縁膜5は、例えば厚さ400nmのSiN膜、動作半導体膜6は例えば厚さ15nmのa-Si膜、チャネル保護膜7は例えば厚さ140nmのSiN膜である。

【0044】上記SiN膜5、7は、SiH<sub>4</sub>とNH<sub>3</sub>の混合ガス雰囲気中、a-Si膜6はSiH<sub>4</sub>のガス雰囲気中

20 図3(g)～(j)参照

次に、ゲート電極2上のチャネル保護膜7上にレジスト膜(図示せず)のパターンを形成する。このパターンはゲート電極2の両側から約1μmづつ狭いパターンとなるようにする。

【0045】このレジスト膜をマスクにして弗化アンモニウム系のエッチング液でSiN膜7を選択的にエッチングし、チャネル保護膜7を形成する。その後、レジスト膜を剥離し洗浄する。

30 【0046】PH<sub>3</sub>をドープしたSiH<sub>4</sub>の雰囲気中において、プラズマCVD法により例えば厚さが50nmのn<sup>+</sup>型a-Si膜8a、8bを形成し、引き続きDCスパッタ法により、例えば厚さが50nmのTi膜9a、9bと、例えば厚さが300nmのMo膜18a、18bを形成する。

【0047】その後、ソース・ドレイン電極形成用のレジスト膜(図示せず)を形成し、それをマスクにしてBC13 + C12ガスをエッチャントとするRIEによりMo膜、Ti膜、n<sup>+</sup>型a-Si膜、a-Si膜6のエッチングを行い、コンタクト層8a、8b、ソース電極9a、

40 18a及びドレイン電極9b、18bを形成して素子分離を行うとともに、ドレイン電極18bに接続するドレインバスライン19を形成する。次いで、スパッタ法により、全面に例えば厚さ300nmのITO膜を成膜し、マスクを用いてそれをエッチングし、ソース電極18aに接続する画素電極21及びドレインバスライン19端部にコンタクト部19aを形成する。

【0048】図4(k)～(n)参照

全面に保護膜としてSiN膜12を形成した後その上に、画素電極21上に開孔23a、ゲートバスライン3端部に開孔23b、補助容量バスライン4端部に開孔23c、ドレイ

ンバスライン19端部に開孔23dを有するレジストマスク22を形成する。

【0049】図4(o)～(r)参照

レジストマスク22をマスクにしてBHF(緩衝弗酸)によるエッチングにより、SiN膜12をエッチングする。この時、画素電極21とドレインバスライン19端部ではITOが、ゲートバスライン3端部と補助容量バスライン4端部ではポリイミド膜20がエッチングストップ層として作用する。その後ゲートバスライン3端部と補助容量バスライン4端部の開孔から、ポリイミド膜20をCF<sub>4</sub>+O<sub>2</sub>をエッチングガスとしたCDEによりエッチングして除去し、ゲートバスライン3端部と補助容量バスライン4端部を露出し、コンタクトが取れるようにする。

【0050】このようにして、ゲートバスラインとドレインバスラインの端子出しを1回のフォトリソグラフィ工程により形成することができる。端子出しのエッチングの時、ゲートバスライン3、3a上のポリイミド膜20はエッチングストップ層として作用するので、ゲートバスライン3、3aはエッチングされない。

【0051】

【発明の効果】以上説明したように、本発明によれば、ゲートバスライン及びドレインバスラインの端子出しを1回のフォトリソグラフィ工程により確実に行うことができる。また、画素電極形成の際、エッチング残渣の生じないようにすることができ、エッチング残渣による短絡の発生を防止することができる。

【0052】また、ゲートバスラインの材料はエッチング条件の制限を受けないので、選択の自由度が大きくなる。

【図面の簡単な説明】

【図1】(a)～(i)は第1の実施例を示す工程順平面図と断面図(その1)で、a、d、gは平面図、b、e、hはA-A断面図、c、f、iはB-B断面図である。

【図2】(j)～(q)は第1の実施例を示す工程順平面図と断面図(その2)で、j、nは平面図、k、oはA-A断面図、l、pはB-B断面図、m、qはC-C断面図である。

【図3】(a)～(j)は第2の実施例を示す工程順平面図と断面図(その1)で、a、d、gは平面図、b、e、hは

A-A断面図、c、f、iはB-B断面図、jはC-C断面図である。

【図4】(k)～(r)は第2の実施例を示す工程順平面図と断面図(その2)で、k、oは平面図、l、pはA-A断面図、m、qはB-B断面図、n、rはC-C断面図である。

【図5】(a)～(c)はTF Tマトリックスの平面略図と断面図で、aは平面略図、bはA-A断面図、cはB-B断面図である。

10 【符号の説明】

1は透明絶縁性基板であってガラス基板

2はゲート電極

2aは酸化膜

3、3aはゲートバスライン

4、4aは補助容量バスライン

5、5a、5b、5cはゲート絶縁膜

6は動作半導体膜であってa-Si膜

7はチャネル保護膜であってSiN膜

8a、8bはコンタクト層であってn<sup>+</sup>型a-Si層

20 9a、10aはソース電極

9b、10bはドレイン電極

11はドレインバスライン

12は保護膜であってSiN膜

13はマスクであってレジストマスク

14a～14dは開孔

15aは画素電極

15bはゲートバスラインコンタクト部

15cは補助容量バスラインコンタクト部

15dはドレインバスラインコンタクト部

30 16はTF T

17はドレインバスライン

18aはソース電極

18bはドレイン電極

19はドレインバスライン

19aはドレインバスラインコンタクト部

20は樹脂膜であってポリイミド膜

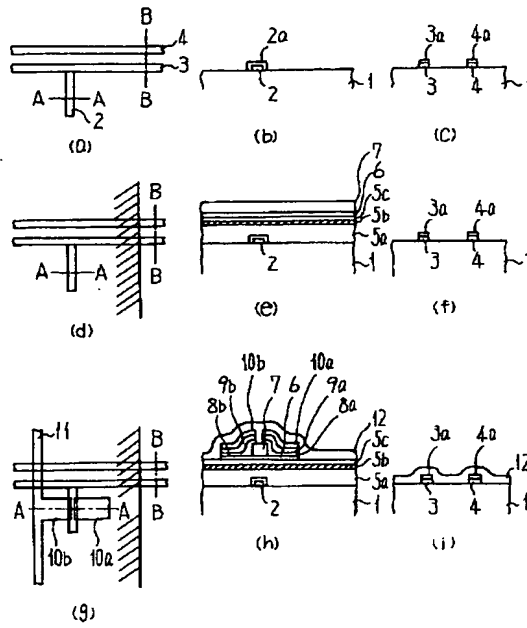
21は画素電極

22はマスクであってレジストマスク

23a～23dは開孔

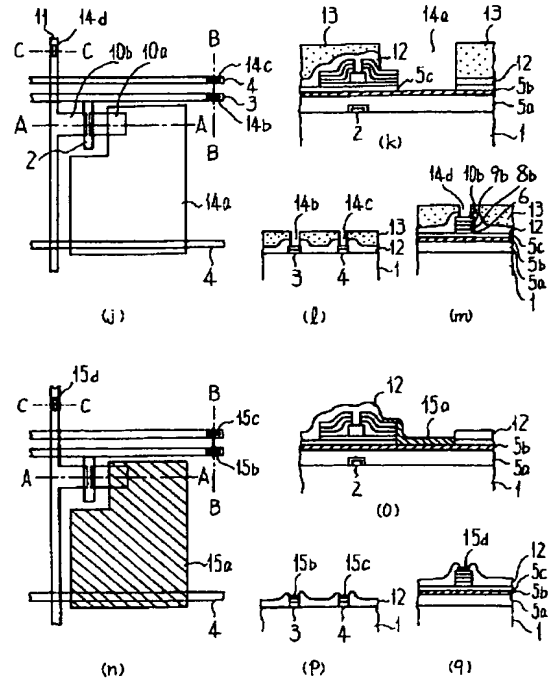
【図1】

第1の実施例を示す工程順平面図と断面図(その1)



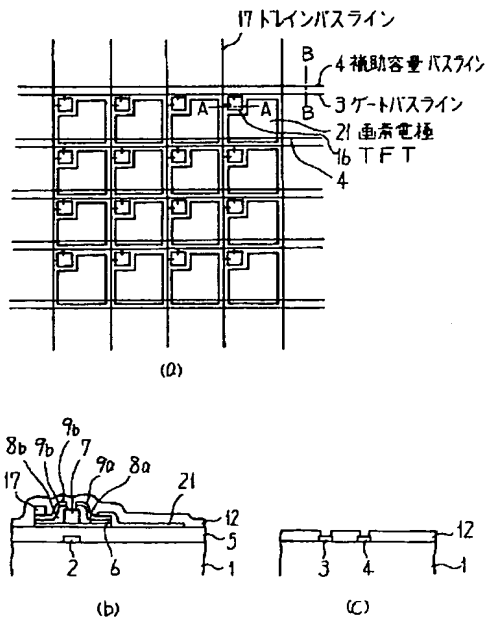
【図2】

第1の実施例を示す工程順平面図と断面図(その2)



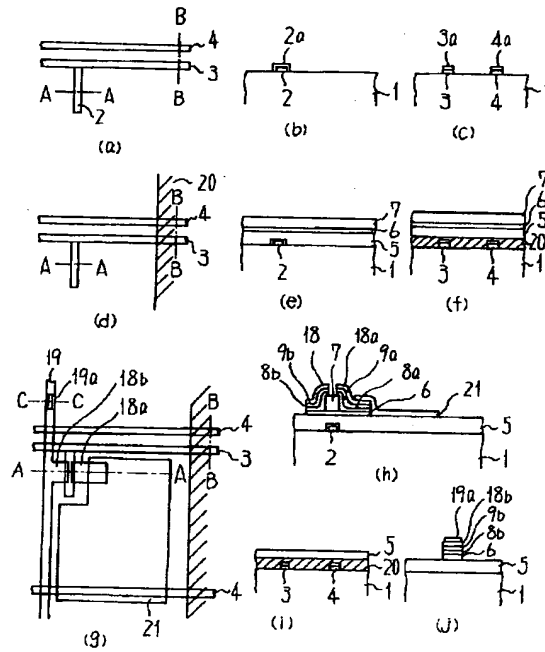
【図5】

TFTマトリックスの平面略図と断面図



【図3】

第2の実施例を示す工程順平面図と断面図(その1)



【図4】

第2の実施例を示す工程順平面図と断面図(その2)

